

PATENT
81754.0110
Express Mail Label No. EV 324 112 398 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Takayoshi OBINATA

Serial No: Not assigned

Filed: March 15, 2004

For: Semiconductor Wafer, Semiconductor Device
and Method for Manufacturing Same, Circuit
Board, and Electronic Apparatus

Art Unit: Not assigned

Examiner: Not assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Mail Stop PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

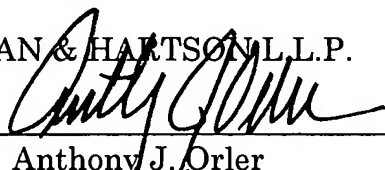
Enclosed herewith is a certified copy of Japanese patent application No. 2003-078097 which was filed March 20, 2003, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: March 15, 2004

By: 
Anthony J. Orler
Registration No. 41,232
Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 0 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 7 8 0 9 7
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 7 8 0 9 7]

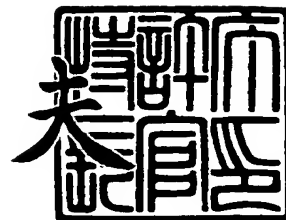
出 願 人 セイコーエプソン株式会社
Applicant(s):



2 0 0 3 年 1 1 月 2 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 EP-0437601

【提出日】 平成15年 3月20日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/12

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 大日方 孝好

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100090479

 【弁理士】

 【氏名又は名称】 井上 一

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090387

 【弁理士】

 【氏名又は名称】 布施 行夫

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090398

 【弁理士】

 【氏名又は名称】 大淵 美千栄

 【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体ウエハ、半導体装置及びその製造方法、回路基板並びに電子機器

【特許請求の範囲】

【請求項 1】 集積回路と、前記集積回路に電氣的に接続する配線と、が形成されており、前記配線の一部であるパッドを表面に含む半導体チップと、

前記パッドと電氣的に接続してなる再配線層と、

前記再配線層の上方に、前記再配線層に電氣的に接続して設けられた外部端子と、

前記外部端子を囲むとともに、前記半導体チップの側面に至るように設けられてなる樹脂層と、

を含む半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、

前記半導体チップは、その端部に薄肉部を有し、

前記樹脂層は、前記薄肉部上に至るように形成されてなる半導体装置。

【請求項 3】 請求項 2 記載の半導体装置において、

前記半導体チップは、前記表面から直角に下がる第 1 の面と、前記表面とは反対側の裏面から直角に上がる第 2 の面と、前記表面と平行になっており前記第 1 及び第 2 の面を接続する第 3 の面と、を有し、

前記樹脂層は、前記第 2 の面を避けるように前記第 1 の面上に形成されてなる半導体装置。

【請求項 4】 請求項 2 記載の半導体装置において、

前記半導体チップは、前記表面から直角に下がる第 1 の面と、前記表面とは反対側の裏面から直角に上がる第 2 の面と、屈曲して前記第 1 及び第 2 の面を接続する第 3 の面と、を有し、

前記樹脂層は、前記第 2 の面を避けるように前記第 1 の面上に形成されてなる半導体装置。

【請求項 5】 請求項 3 又は請求項 4 記載の半導体装置において、

前記樹脂層は、さらに、前記第 3 の面上に形成されてなる半導体装置。

【請求項 6】 請求項 2 記載の半導体装置において、

前記半導体チップは、前記表面から下がる第 1 の面と、前記表面とは反対側の裏面から上がる第 2 の面と、を含み、前記第 1 及び第 2 の面は異なる角度で形成されており、

前記樹脂層は、前記第 2 の面を避けるように前記第 1 の面上に形成されてなる半導体装置。

【請求項 7】 請求項 2 記載の半導体装置において、

前記半導体チップは、前記表面から屈曲して下がる第 1 の面と、前記表面とは反対側の裏面から平坦に上がる第 2 の面と、を含み、

前記樹脂層は、前記第 2 の面を避けるように前記第 1 の面上に形成されてなる半導体装置。

【請求項 8】 請求項 1 から請求項 7 のいずれかに記載の半導体装置において、

前記半導体チップ上に形成された応力緩和層をさらに有し、

前記再配線層は、前記応力緩和層上に形成され、

前記樹脂層は、前記応力緩和層の上方に形成されてなる半導体装置。

【請求項 9】 請求項 1 から請求項 8 のいずれかに記載の半導体装置において、

前記外部端子を設ける領域を除いて前記再配線層を覆うように形成されたレジスト層をさらに有し、

前記樹脂層は、前記レジスト層の上方に形成されてなる半導体装置。

【請求項 10】 請求項 1 から請求項 9 のいずれかに記載の半導体装置が実装された回路基板。

【請求項 11】 請求項 1 から請求項 9 のいずれかに記載の半導体装置を有する電子機器。

【請求項 12】 複数の集積回路と、それぞれの前記集積回路に電気的に接続する配線と、が形成されており、前記配線の一部であるパッドを表面に含み、前記表面には溝が形成されてなる半導体基板と、

前記パッドと電氣的に接続してなる再配線層と、
前記再配線層の上方に、前記再配線層に電氣的に接続して設けられた外部端子と、
前記外部端子を囲むとともに前記溝を覆うように設けられてなる樹脂層と、
を含む半導体ウエハ。

【請求項 13】 請求項 12 記載の半導体ウエハにおいて、
前記溝は、それぞれの前記集積回路を囲むように形成されてなる半導体ウエハ。

【請求項 14】 請求項 12 又は請求項 13 記載の半導体ウエハにおいて、
前記溝の側面と底面は、曲面によって接続されてなる半導体ウエハ。

【請求項 15】 請求項 12 から請求項 14 のいずれかに記載の半導体ウエハにおいて、
前記溝の側面は傾斜してなる半導体ウエハ。

【請求項 16】 請求項 12 から請求項 15 のいずれかに記載の半導体ウエハにおいて、
前記半導体基板上に形成された応力緩和層をさらに有し、
前記再配線層は、前記応力緩和層上に形成され、
前記樹脂層は、前記応力緩和層の上方に形成されてなる半導体ウエハ。

【請求項 17】 請求項 12 から請求項 16 のいずれかに記載の半導体ウエハにおいて、
前記外部端子を設ける領域を除いて前記再配線層を覆うように形成されたレジスト層をさらに有し、
前記樹脂層は、前記レジスト層の上方に形成されてなる半導体ウエハ。

【請求項 18】 (a) 複数の集積回路と、それぞれの前記集積回路に電氣的に接続する配線と、が形成されており、前記配線の一部であるパッドを表面に含む半導体基板の前記表面に溝を形成すること、

(b) 前記パッドと電氣的に接続するように再配線層を形成すること、

(c) 前記再配線層の上方に、前記再配線層に電氣的に接続するように外部端子を設けること、

(d) 前記外部端子を囲むとともに前記溝を覆うように樹脂層を設けること、及び、その後、

(e) 前記溝内で、前記半導体基板を前記樹脂層とともに切断すること、を含む半導体装置の製造方法。

【請求項 19】 請求項 18 記載の半導体装置の製造方法において、前記溝を、それぞれの前記集積回路を囲むように形成する半導体装置の製造方法。

【請求項 20】 請求項 18 又は請求項 19 記載の半導体装置の製造方法において、

前記溝を、その側面及び底面が曲面によって接続されるように形成する半導体装置の製造方法。

【請求項 21】 請求項 18 から請求項 20 のいずれかに記載の半導体装置の製造方法において、

前記溝を、その側面が傾斜するように形成する半導体装置の製造方法。

【請求項 22】 請求項 18 から請求項 21 のいずれかに記載の半導体装置の製造方法において、

前記 (b) 工程前に、前記半導体基板上に応力緩和層を形成することをさらに含み、

前記 (b) 工程で、前記再配線層を、前記応力緩和層上に形成し、

前記 (d) 工程で、前記樹脂層を、前記応力緩和層の上方に形成する半導体装置の製造方法。

【請求項 23】 請求項 18 から請求項 22 のいずれかに記載の半導体装置の製造方法において、

前記 (c) 工程前に、前記外部端子を設ける領域を除いて前記再配線層を覆うようにレジスト層を形成することをさらに含み、

前記 (d) 工程で、前記樹脂層を、前記レジスト層の上方に形成する半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体ウエハ、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

【0002】**【従来の技術】****【0003】****【特許文献1】**

国際公開第WO98/32170号パンフレット

【0004】**【発明の背景】**

半導体装置の高密度実装を追及すると、ベアチップ実装が理想的である。しかしながら、ベアチップは、品質の保証及び取り扱いが難しい。そこで、CSP（Chip Scale/Size Package）が適用された半導体装置が開発されている。特に近年、ウエハレベルCSPが注目されている。ウエハレベルCSPでは、ウエハレベルで樹脂層の形成を含むパッケージングを行う。その後、ウエハを個々のパッケージに切り出すときに、樹脂層を切断する場合があります、その場合、切断された樹脂層は、その切断面から剥離しやすいという問題があった。

【0005】

本発明は、樹脂層の剥離を防止又は抑制することを目的とする。

【0006】**【課題を解決するための手段】**

（1）本発明に係る半導体装置は、集積回路と、前記集積回路に電氣的に接続する配線と、が形成されており、前記配線の一部であるパッドを表面に含む半導体チップと、

前記パッドと電氣的に接続してなる再配線層と、

前記再配線層の上方に、前記再配線層に電氣的に接続して設けられた外部端子と、

前記外部端子を囲むとともに、前記半導体チップの側面に至るように設けられてなる樹脂層と、

を含む。本発明によれば、樹脂層は、半導体チップの側面に至るので剥離しにくくなっている。また、樹脂層が収縮しようとしても、半導体チップの側面で樹脂層の端部が引っかかるようになっているので、樹脂層と半導体チップの密着性が高い。

(2) この半導体装置において、

前記半導体チップは、その端部に薄肉部を有し、

前記樹脂層は、前記薄肉部上に至るように形成されていてもよい。

(3) この半導体装置において、

前記半導体チップは、前記表面から直角に下がる第1の面と、前記表面とは反対側の裏面から直角に上がる第2の面と、前記表面と平行になっており前記第1及び第2の面を接続する第3の面と、を有し、

前記樹脂層は、前記第2の面を避けるように前記第1の面上に形成されていてもよい。

(4) この半導体装置において、

前記半導体チップは、前記表面から直角に下がる第1の面と、前記表面とは反対側の裏面から直角に上がる第2の面と、屈曲して前記第1及び第2の面を接続する第3の面と、を有し、

前記樹脂層は、前記第2の面を避けるように前記第1の面上に形成されていてもよい。

(5) この半導体装置において、

前記樹脂層は、さらに、前記第3の面上に形成されていてもよい。

(6) この半導体装置において、

前記半導体チップは、前記表面から下がる第1の面と、前記表面とは反対側の裏面から上がる第2の面と、を含み、前記第1及び第2の面は異なる角度で形成されており、

前記樹脂層は、前記第2の面を避けるように前記第1の面上に形成されていてもよい。

(7) この半導体装置において、

前記半導体チップは、前記表面から屈曲して下がる第1の面と、前記表面とは

反対側の裏面から平坦に上がる第 2 の面と、を含み、

前記樹脂層は、前記第 2 の面を避けるように前記第 1 の面上に形成されているもよい。

(8) この半導体装置は、

前記半導体チップ上に形成された応力緩和層をさらに有し、

前記再配線層は、前記応力緩和層上に形成され、

前記樹脂層は、前記応力緩和層の上方に形成されているもよい。

(9) この半導体装置は、

前記外部端子を設ける領域を除いて前記再配線層を覆うように形成されたレジスト層をさらに有し、

前記樹脂層は、前記レジスト層の上方に形成されているもよい。

(1 0) 本発明に係る回路基板は、上記半導体装置が実装されてなる。

(1 1) 本発明に係る電子機器は、上記半導体装置を有する。

(1 2) 本発明に係る半導体ウエハは、複数の集積回路と、それぞれの前記集積回路に電氣的に接続する配線と、が形成されており、前記配線の一部であるパッドを表面に含み、前記表面には溝が形成されてなる半導体基板と、

前記パッドと電氣的に接続してなる再配線層と、

前記再配線層の上方に、前記再配線層に電氣的に接続して設けられた外部端子と、

前記外部端子を囲むとともに前記溝を覆うように設けられてなる樹脂層と、

を含む。本発明によれば、樹脂層は、溝でその一部が引っかかるようになっているので、半導体基板との密着性が高く、剥離しにくくなっている。

(1 3) この半導体ウエハにおいて、

前記溝は、それぞれの前記集積回路を囲むように形成されているもよい。

(1 4) この半導体ウエハにおいて、

前記溝の側面と底面は、曲面によって接続されているもよい。

(1 5) この半導体ウエハにおいて、

前記溝の側面は傾斜しているもよい。

(1 6) この半導体ウエハは、

前記半導体基板上に形成された応力緩和層をさらに有し、

前記再配線層は、前記応力緩和層上に形成され、

前記樹脂層は、前記応力緩和層の上方に形成されていてもよい。

(17) この半導体ウエハは、

前記外部端子を設ける領域を除いて前記再配線層を覆うように形成されたレジスト層をさらに有し、

前記樹脂層は、前記レジスト層の上方に形成されていてもよい。

(18) 本発明に係る半導体装置の製造方法は、(a) 複数の集積回路と、それぞれの前記集積回路に電氣的に接続する配線と、が形成されており、前記配線の一部であるパッドを表面に含む半導体基板の前記表面に溝を形成すること、

(b) 前記パッドと電氣的に接続するように再配線層を形成すること、

(c) 前記再配線層の上方に、前記再配線層に電氣的に接続するように外部端子を設けること、

(d) 前記外部端子を囲むとともに前記溝を覆うように樹脂層を設けること、及び、その後、

(e) 前記溝内で、前記半導体基板を前記樹脂層とともに切断すること、

を含む。本発明によれば、半導体基板に設けられた樹脂層は溝でその一部が引っかかるようになっている。半導体基板及び樹脂層を溝内で切断しても、樹脂層は、溝の側面で引っかかるようになる。したがって、樹脂層の剥離を防止することができる。

(19) この半導体装置の製造方法において、

前記溝を、それぞれの前記集積回路を囲むように形成してもよい。

(20) この半導体装置の製造方法において、

前記溝を、その側面及び底面が曲面によって接続されるように形成してもよい。

(21) この半導体装置の製造方法において、

前記溝を、その側面が傾斜するように形成してもよい。

(22) この半導体装置の製造方法は、

前記(b)工程前に、前記半導体基板上に応力緩和層を形成することをさらに

含み、

前記（b）工程で、前記再配線層を、前記応力緩和層上に形成し、

前記（d）工程で、前記樹脂層を、前記応力緩和層の上方に形成してもよい。

（23）この半導体装置の製造方法は、

前記（c）工程前に、前記外部端子を設ける領域を除いて前記再配線層を覆うようにレジスト層を形成することをさらに含み、

前記（d）工程で、前記樹脂層を、前記レジスト層の上方に形成してもよい。

【0007】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

【0008】

（第1の実施の形態）

図1～図4は、本発明の第1の実施の形態に係る半導体装置の製造方法を説明する図である。本実施の形態では、半導体基板10を使用する。半導体基板10には、集積回路12が形成されている。半導体基板10を複数の半導体チップに切り出す場合、半導体基板10には、複数の集積回路12が形成され、個々の半導体チップが個々の集積回路12を有することになる。

【0009】

半導体基板10の表面には、パッシベーション膜14が形成されていてもよい。例えば、 SiO_2 又は SiN 等の無機材料でパッシベーション膜14を形成してもよい。パッシベーション膜14を複数層で形成してもよい。その場合、少なくとも1層（例えば表面層）を有機材料で形成してもよい。

【0010】

半導体基板10（その表面）には、パッド16が形成されている。パッド16は、集積回路（例えば半導体集積回路）12に電氣的に接続された配線の一部（例えば端部）である。パッシベーション膜14は、パッド16の少なくとも中央部を避けて形成されている。

【0011】

本実施の形態では、半導体基板10（パッド16が形成された表面）に溝18

を形成する。図2に示すように、溝18は、格子状に形成してもよい。溝18は、各集積回路12を囲むように形成してもよい。溝18の形成は、後述する応力緩和層20及びレジスト層24を形成する前に行ってもよいし、これらの形成後に行ってもよい。

【0012】

図1に示すように、半導体基板10に応力緩和層20を形成してもよい。応力緩和層20は、半導体基板10に樹脂前駆体（例えば熱硬化性樹脂前駆体）を塗布して形成してもよいし、半導体基板10上で樹脂前駆体をスピコートによって拵げて形成してもよい。応力緩和層20は、複数層で形成してもよいし、1層で形成してもよい。応力緩和層20は、電氣的絶縁層である。応力緩和層20は、ポリイミド樹脂、シリコン変性ポリイミド樹脂、エポキシ樹脂、シリコン変性エポキシ樹脂、ベンゾシクロブテン（BCB；benzocyclobutene）、ポリベンゾオキサゾール（PBO；polybenzoxazole）等で形成してもよい。応力緩和層20は、導電性粒子を含まない。応力緩和層20は、遮光性を有する材料で形成してもよい。

【0013】

応力緩和層20は、放射線（光線（紫外線、可視光線）、X線、電子線）に感応する性質を有する放射線感応性樹脂前駆体で形成してもよい。放射線感応性樹脂前駆体（例えば感光性樹脂前駆体）として、放射線の照射された部分の溶解性が減少して不溶性となるネガ型と、放射線の照射された部分の溶解性が増加するポジ型がある。

【0014】

応力緩和層20は、パッド16上を避けるように形成してもよい。応力緩和層20は、溝18を避けるように（溝18内に入らないように）形成する。応力緩和層20は、半導体基板10の切断用領域を避けるように形成してもよい。応力緩和層20は、半導体基板10上に連続的又は一体的に形成した後にパターンニングしてもよい。その場合、パターンニング前には、溝18内に応力緩和層20が一時的に形成されていてもよい。半導体基板10の複数領域（複数の集積回路12が形成された領域）のそれぞれに、応力緩和層20を形成してもよい。隣同士の

応力緩和層 20 の間にはスペースがある。

【0015】

応力緩和層 20 上に再配線層 22 を形成する。再配線層 22 は、1 層で形成してもよいし、複数層で形成してもよい。例えば、スパッタリングで TiW 層及び Cu 層を積層し、その上にメッキによって Cu 層を形成してもよい。その形成方法には、公知の技術を適用することができる。再配線層 22 は、パッド 16 上を通るように（パッド 16 と電氣的に接続されるように）形成する。再配線層 22 は、パッド 16 上から応力緩和層 20 上に形成する。再配線層 22 は、ランド（ラインよりも幅の広い部分）を有するように形成してもよい。ランドは、その上に外部端子 26 を設けるためのものである。

【0016】

応力緩和層 20 上にレジスト層 24 を形成してもよい。レジスト層 24 はソルダレジストであってもよい。レジスト層 24 は、再配線層 22 の全体あるいは一部（例えば外部端子 26 を設ける領域を除く部分）を覆うように形成してもよい。レジスト層 24 は、応力緩和層 20 を覆うように（例えば完全に覆うように）形成してもよい。レジスト層 24 は、半導体基板 10 の切断用領域が露出するように（切断用領域を避けるように）形成してもよい。レジスト層 24 は、溝 18 を避けるように（溝 18 内に入らないように）形成する。レジスト層 24 は、半導体基板 10 上に連続的又は一体的に形成した後にパターニングしてもよい。その場合、パターニング前には、溝 18 内にレジスト層 24 が一時的に形成されていてもよい。半導体基板 10 の複数領域（複数の集積回路 12 が形成された領域）のそれぞれに、レジスト層 24 を形成してもよい。隣同士のレジスト層 24 の間にはスペースがある。

【0017】

外部端子 26 を形成する。外部端子 26 は再配線層 22 上（又は上方）に形成する。外部端子 26 は、軟ろう（soft solder）又は硬ろう（hard solder）のいずれで形成してもよい。軟ろうとして、鉛を含まないハンダ（以下、鉛フリーハンダという。）を使用してもよい。鉛フリーハンダとして、スズー銀（Sn-Ag）系、スズービスマス（Sn-Bi）系、スズー亜鉛（Sn-Zn）系、ある

いはスズ-銅 (Sn-Cu) 系の合金を使用してもよいし、これらの合金に、さらに銀、ビスマス、亜鉛、銅のうち少なくとも1つを添加してもよい。外部端子26の形成には、周知の方法を適用することができる。

【0018】

図3に示すように、レジスト層24上に樹脂層30を形成する。樹脂層30には、応力緩和層20の内容が該当してもよい。樹脂層30は、溝18を覆うように設ける。溝18内の領域で、樹脂層30の表面が窪んでいてもよい。樹脂層30は、外部端子26を囲むように設ける。樹脂層30は、外部端子26の一部（例えば根本部）を覆っていてもよい。樹脂層30は、レジスト層24を覆うように（例えば完全に覆うように）形成してもよい。樹脂層30は、半導体基板10の全体を覆うように形成した後にパターニングしてもよい。樹脂層30を、外部端子26が覆われるように設けた後、外部端子26の上端部から樹脂層30を除去してもよい。パターニングには、応力緩和層20のパターニングで説明した内容を適用することができる。あるいは、レーザの使用又はアッシングによって、樹脂層30の一部を除去してもよい。

【0019】

本発明の実施の形態に係る半導体ウエハは、半導体基板10を有する。半導体基板10には、複数の集積回路12（図1参照）が形成され、表面にパッド16が形成されている。パッド16は、それぞれの集積回路12に電氣的に接続する配線の一部である。半導体基板10には溝18が形成されている。パッド16と電氣的に接続するように再配線層22が形成されている。再配線層22の上方に、再配線層22に電氣的に接続するように外部端子26が形成されている。外部端子26を囲むように樹脂層30が形成されている。樹脂層30は、溝18を覆うように形成されている。その他の詳細については、上述した通りである。本実施の形態によれば、樹脂層30は、溝18でその一部が引っかかるようになっているので、半導体基板10との密着性が高く、剥離しにくくなっている。

【0020】

図4に示すように、半導体基板10を、例えばカッタ（又はブレード）32等によって、切断（例えば、スクライビング又はダイシング）する。半導体基板1

0 及び樹脂層 30 をともに切断する。切断は、溝 18 内で行う。半導体基板 10 及び樹脂層 30 を切断しても、樹脂層 30 は、溝 18 の側面で引っかかるようになるので、樹脂層 30 の剥離を防止することができる。こうして、半導体装置を得ることができる。

【0021】

図 5 は、本実施の形態に係る半導体装置を説明する図であり、図 6 は、図 5 の VI-VI 線断面図である。半導体装置は、半導体チップ 40 を有する。半導体チップ 40 は、半導体基板 10 から切り出されたものであってもよい。半導体チップ 40 には、集積回路 12（図 1 参照）が形成され、表面にパッド 16 が形成されている。パッド 16 は、集積回路 12 に電氣的に接続する配線の一部である。半導体チップ 40 には応力緩和層 20 が形成されている。応力緩和層 20 上に、パッド 16 と電氣的に接続するように再配線層 22 が形成されている。再配線層 22 の上方に、再配線層 22 に電氣的に接続するように外部端子 26 が形成されている。半導体装置は、樹脂層 30 を有する。樹脂層 30 は、外部端子 26 を囲む。樹脂層 30 は、半導体チップ 40 の側面に至るように設けられている。

【0022】

半導体チップ 40 は、その端部に薄肉部 42 を有する。詳しくは、半導体チップ 40 は、パッド 16 が形成された表面 44 から直角に下がる第 1 の面 46 と、表面 44 とは反対側の裏面 48 から直角に上がる第 2 の面 50 と、表面 44 と平行になっており第 1 及び第 2 の面 46，50 を接続する第 3 の面 52 と、を有する。樹脂層 30 は、薄肉部 42 上に至るように形成されている。樹脂層 30 は、第 2 の面 50 を避けるように第 1 の面 46 上に形成されていてもよい。樹脂層 30 は、さらに、第 3 の面 52 上に形成されてもよい。その他の詳細については、上述した通りである。

【0023】

本実施の形態によれば、樹脂層 30 は、半導体チップ 40 の側面に至るので剥離しにくくなっている。また、樹脂層 30 が収縮しようとしても、半導体チップ 40 の側面で樹脂層 30 の端部が引っかかるようになっているので、樹脂層 30 と半導体チップ 40 の密着性が高い。

【0024】

(第2の実施の形態)

図7は、本発明の第2の実施の形態に係る半導体装置の製造方法を示す図である。本実施の形態では、半導体基板10に形成する溝58の形状が、第1の実施の形態で説明した溝18と異なる。それ以外の内容は、第1の実施の形態で説明した内容が該当する。溝58は、例えば、U溝又は丸（半円）溝である。溝58の底面が曲面である。溝58の側面は、曲面であってもよいし傾斜するように形成してもよい。溝58は、その側面及び底面が曲面によって接続されるように形成する。本実施の形態では、半導体基板10に溝58を形成し、その後、第1の実施の形態で説明した工程を行って、半導体装置を得る。なお、溝58は、底面と側面が曲面で接続されている（角がない）ので、樹脂層68と溝58の内面との間に隙間が形成されにくい。

【0025】

図8は、図7に示す半導体基板から得られた半導体装置を示す図である。溝58がU溝であれば、半導体チップ60の表面44から第1の面62は直角に下がる。溝58が丸（半円）溝であれば、半導体チップ60の表面44から第1の面62は屈曲して下がる。表面44とは反対側の裏面48から第2の面64が直角に上がる。第3の面66は、屈曲して第1及び第2の面62、64を接続する。樹脂層30と同じ内容が該当する樹脂層68は、第2の面64を避けるように第1の面62上に形成されている。樹脂層68は、さらに、第3の面66上に形成されていてもよい。その他の内容は、第1の実施の形態で説明した内容が該当する。

【0026】

(第3の実施の形態)

図9は、本発明の第3の実施の形態に係る半導体装置の製造方法を示す図である。本実施の形態では、半導体基板10に形成する溝70の形状が、第1の実施の形態で説明した溝18と異なる。それ以外の内容は、第1の実施の形態で説明した内容が該当する。溝70は、例えば、V溝である。溝70の側面は傾斜している。本実施の形態では、半導体基板10に溝70を形成し、その後、第1の実

施の形態で説明した工程を行って、半導体装置を得る。

【0027】

図10は、図9に示す半導体基板から得られた半導体装置を示す図である。半導体装置において、半導体チップ72は、表面44から下がる第1の面74と、表面44とは反対側の裏面48から上がる第2の面76と、を含む。第1及び第2の面74、76は、表面44に対して異なる角度で形成されている。樹脂層30と同じ内容が該当する樹脂層78は、第2の面76を避けるように第1の面74上に形成されている。その他の内容は、第1の実施の形態で説明した内容が該当する。

【0028】

(第4の実施の形態)

図11は、本発明の第4の実施の形態に係る半導体装置の製造方法を示す図である。本実施の形態では、半導体基板10に形成する溝80の形状が、第1の実施の形態で説明した溝18と異なる。それ以外の内容は、第1の実施の形態で説明した内容が該当する。溝80は、例えば、曲面からなる溝である。半導体基板10の表面と溝80とが曲面で滑らかに接続されている。本実施の形態では、半導体基板10に溝80を形成し、その後、第1の実施の形態で説明した工程を行って、半導体装置を得る。なお、溝80は、底面と側面が曲面で接続されている(角がない)ので、樹脂層88と溝80の内面との間に隙間が形成されにくい。

【0029】

図12は、図10に示す半導体基板から得られた半導体装置を示す図である。半導体装置において、半導体チップ82は、表面44から屈曲して下がる第1の面84と、表面44とは反対側の裏面48から平坦に上がる第2の面86と、を含む。樹脂層30と同じ内容が該当する樹脂層88は、第2の面86を避けるように第1の面84上に形成されている。その他の内容は、第1の実施の形態で説明した内容が該当する。

【0030】

(第5の実施の形態)

図13は、本発明の第5の実施の形態に係る半導体装置の製造方法を示す図で

ある。本実施の形態では、半導体基板 10 の切断用領域に、複数（例えば 2 つ）の溝 90 を並列するように形成する。複数の刃が重ねられてなるカッタによって、複数の溝 90 を同時に形成してもよい。これ例外の内容は、第 1 の実施の形態で説明した内容が該当する。各溝 90 の形状は、第 1 ～第 4 の実施の形態で説明した溝の内容を適用することができる。本実施の形態では、半導体基板 10 の切断用領域に溝 90 を形成し、その後、第 1 の実施の形態で説明した工程を行う。半導体基板 10 を切断するときには、切断用領域内で、並列する溝 90 に挟まれた領域を除去する。図 13 に示すように、並列する溝 90 のピッチ長さと同等又はそれを超える厚みを有する比較的厚いカッタ 100 によって半導体基板 10 を切断してもよい。こうして、半導体装置を得る。

【0031】

図 14 は、図 13 に示す半導体基板から得られた半導体装置を示す図である。樹脂層 30 と同じ内容が該当する樹脂層 98 は、半導体チップ 92 の側面に至るように設けられてなる。半導体チップ 92 の端部の形状は、各溝 90 の形状に応じたものであり、その詳細は、第 1 ～第 4 の実施の形態で説明した通りである。また、その他の内容は、第 1 の実施の形態で説明した内容が該当する。

【0032】

図 15 には、上述した実施の形態で説明した半導体装置 1 が実装された回路基板 1000 が示されている。この半導体装置を有する電子機器として、図 16 にはノート型パーソナルコンピュータ 2000 が示され、図 17 には携帯電話 3000 が示されている。

【0033】

本発明は、上述した実施の形態に限定されるものではなく、種々の変形が可能である。例えば、本発明は、実施の形態で説明した構成と実質的に同一の構成（例えば、機能、方法及び結果が同一の構成、あるいは目的及び結果が同一の構成）を含む。また、本発明は、実施の形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施の形態で説明した構成と同一の作用効果を奏する構成又は同一の目的を達成することができる構成を含む。また、本発明は、実施の形態で説明した構成に公知技術を付加した構成を含む。

【図面の簡単な説明】

【図 1】 図 1 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 2】 図 2 は、溝の形状を説明する図である。

【図 3】 図 3 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 4】 図 4 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 5】 図 5 は、本発明の第 1 の実施の形態に係る半導体装置を説明する図である。

【図 6】 図 6 は、図 5 の VI-VI 線断面の一部拡大図である。

【図 7】 図 7 は、本発明の第 2 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 8】 図 8 は、本発明の第 2 の実施の形態に係る半導体装置を説明する図である。

【図 9】 図 9 は、本発明の第 3 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 10】 図 10 は、本発明の第 3 の実施の形態に係る半導体装置を説明する図である。

【図 11】 図 11 は、本発明の第 4 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 12】 図 12 は、本発明の第 4 の実施の形態に係る半導体装置を説明する図である。

【図 13】 図 13 は、本発明の第 5 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 14】 図 14 は、本発明の第 5 の実施の形態に係る半導体装置を説明する図である。

【図 15】 図 15 は、本実施の形態に係る半導体装置が実装された回路基板を示す図である。

【図 16】 図 16 は、本実施の形態に係る半導体装置を有する電子機器を示す図である。

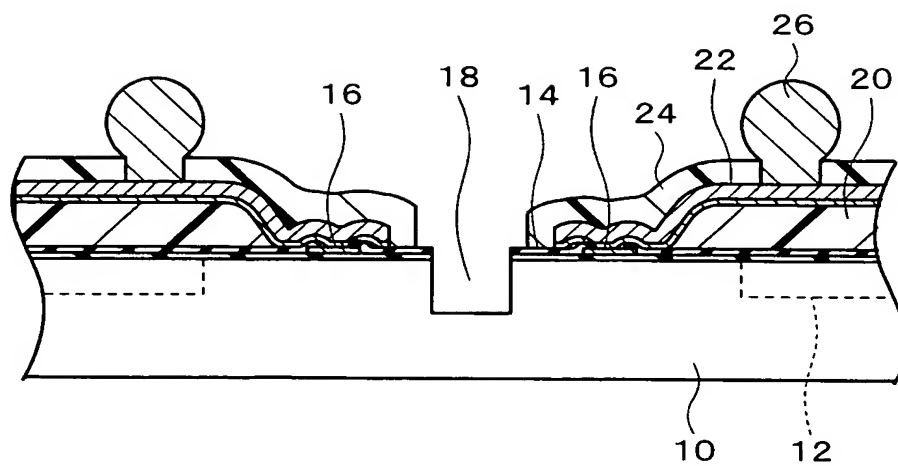
【図 17】 図 17 は、本実施の形態に係る半導体装置を有する電子機器を示す図である。

【符号の説明】

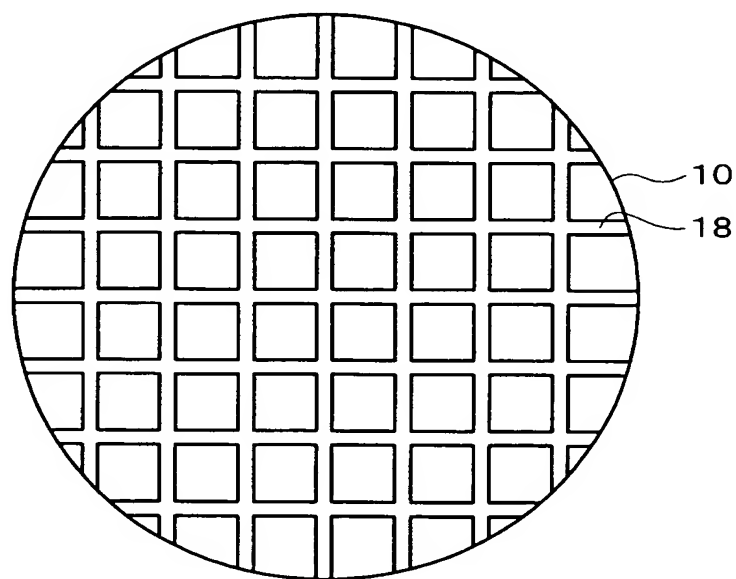
10…半導体基板 12…集積回路 14…パッシベーション膜 16…パッド
20…応力緩和層 22…再配線層 24…レジスト層 26…外部端子
30…樹脂層 40…半導体チップ 42…薄肉部 44…表面 48…裏面
60…半導体チップ 68…樹脂層 72…半導体チップ 78…樹脂層 82
…半導体チップ 88…樹脂層 90…溝 92…半導体チップ 98…樹脂層

【書類名】 図面

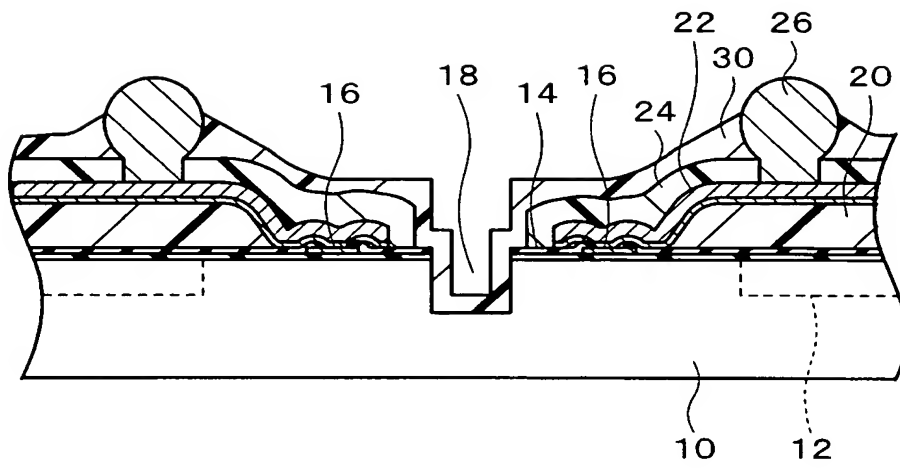
【図 1】



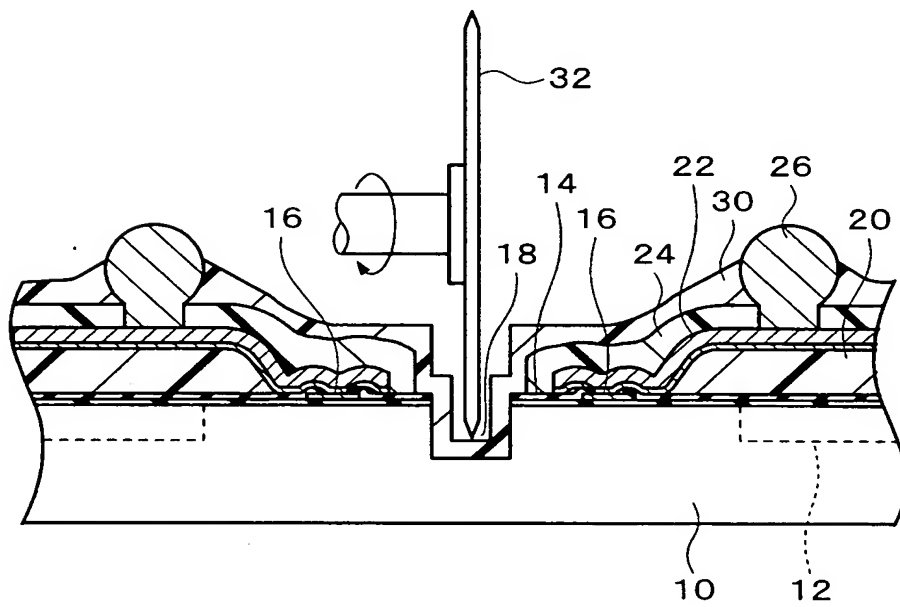
【図 2】



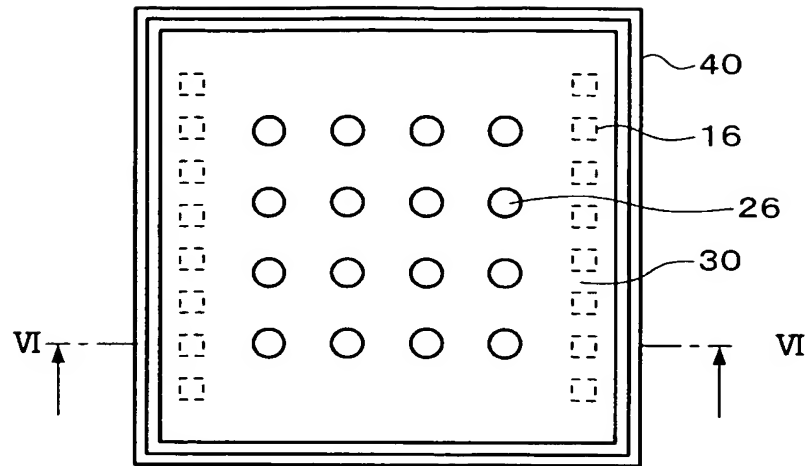
【図 3】



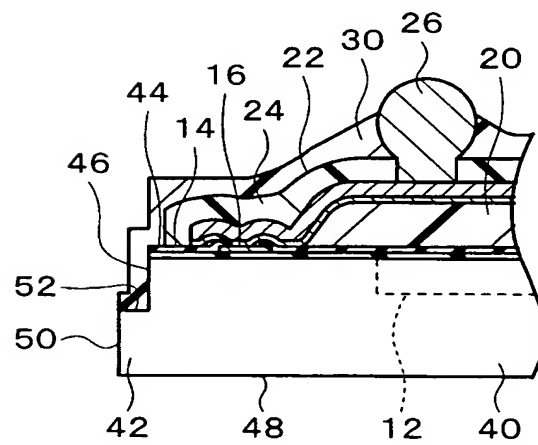
【図 4】



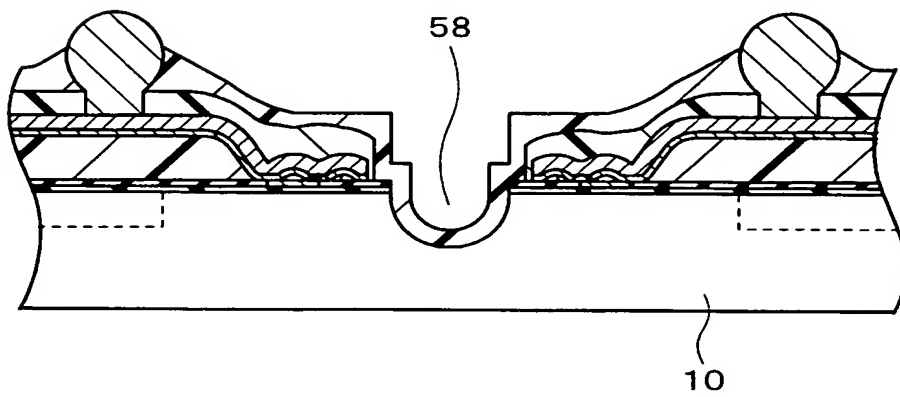
【図 5】



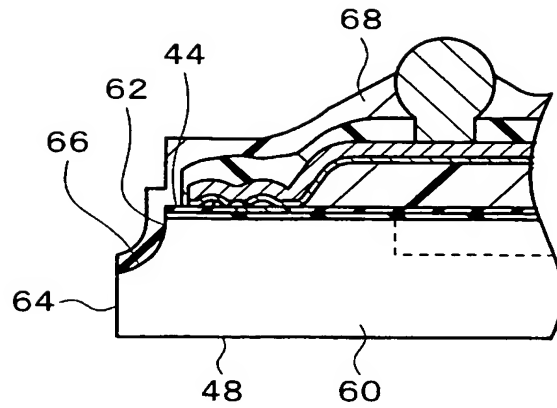
【図 6】



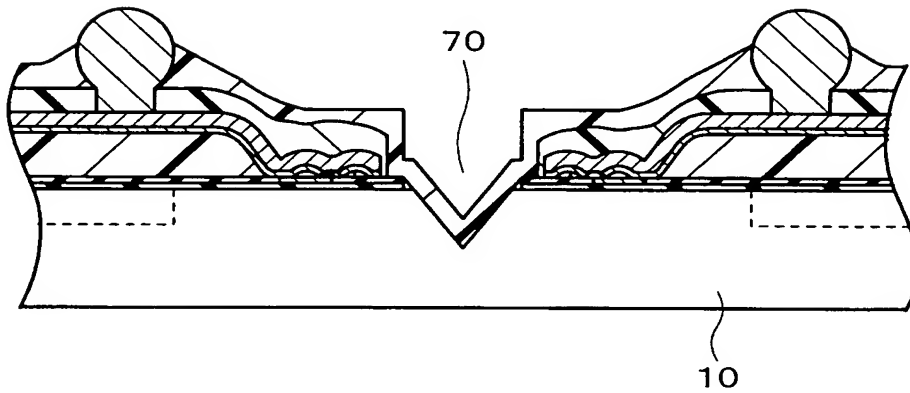
【図 7】



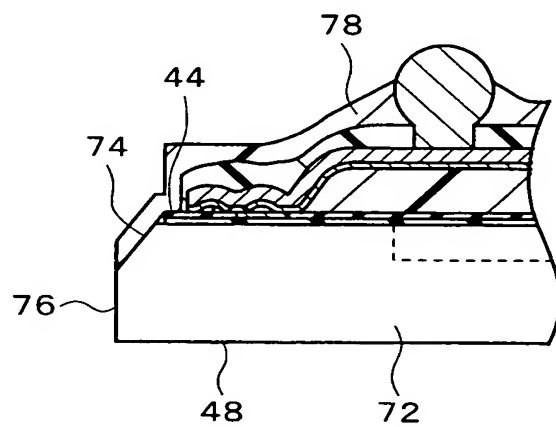
【図 8】



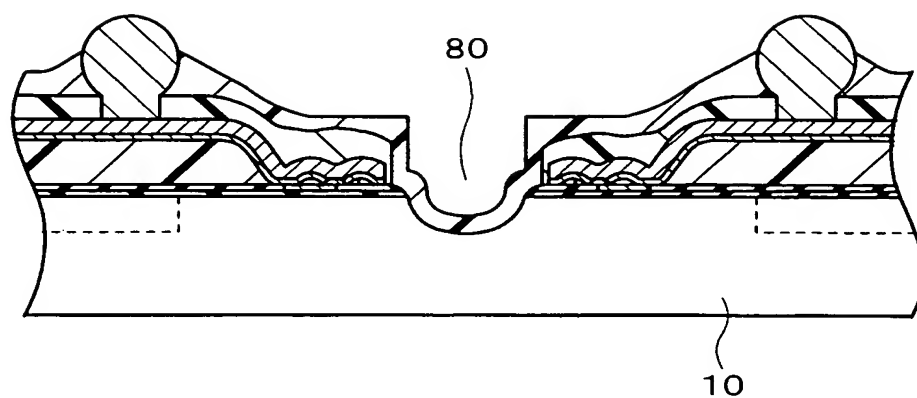
【図 9】



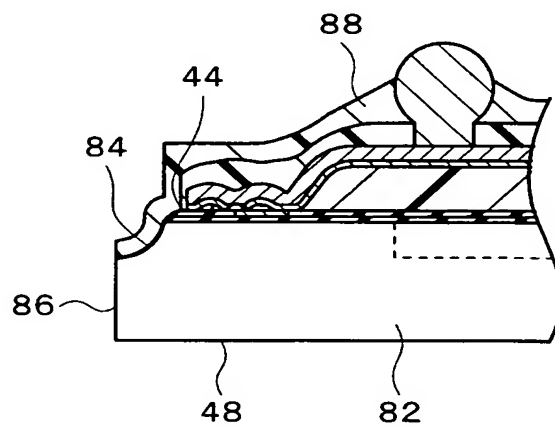
【図 10】



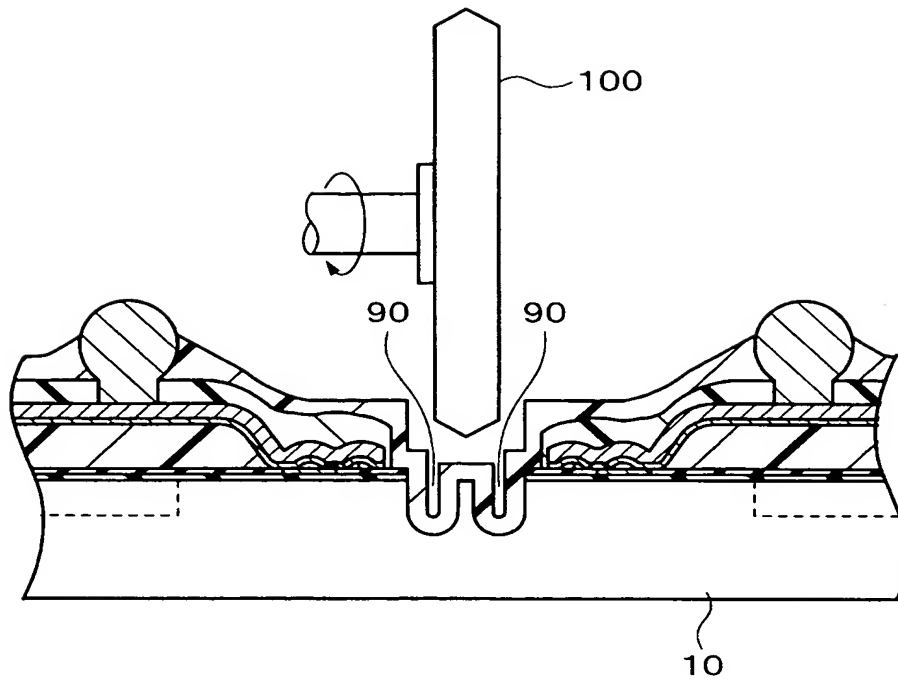
【図 11】



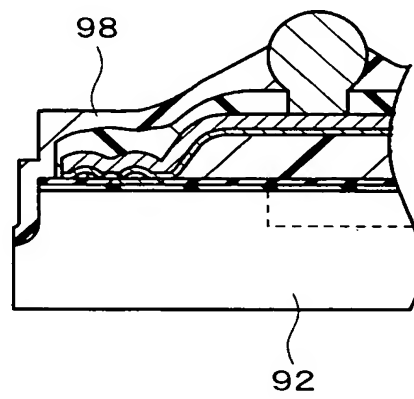
【図 12】



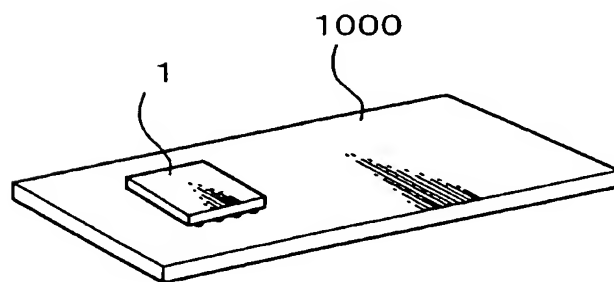
【図 13】



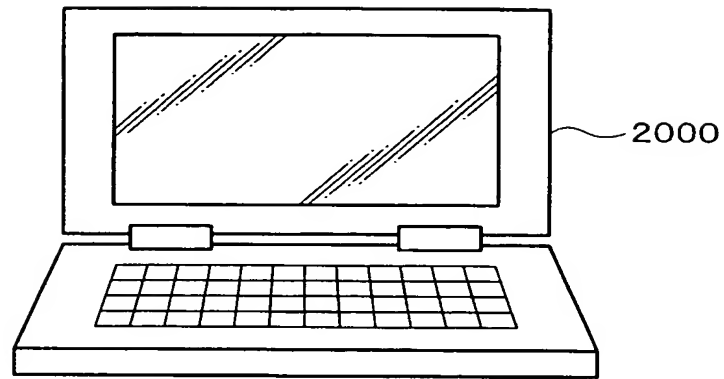
【図 14】



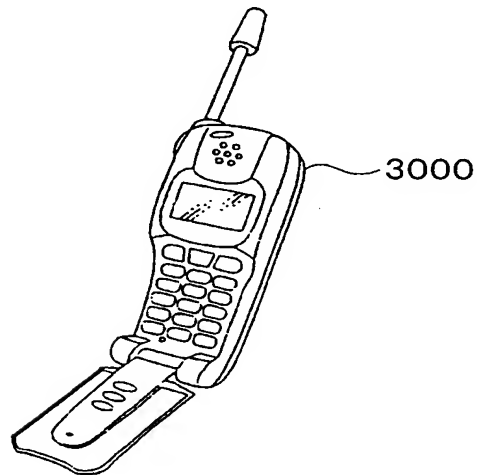
【図 15】



【図 16】



【図 17】



【書類名】 要約書

【要約】

【課題】 本発明は、樹脂層の剥離を防止又は抑制することを目的とする。

【解決手段】 半導体装置は、集積回路 1 2 と、集積回路 1 2 に電氣的に接続する配線と、が形成されており、配線の一部であるパッド 1 6 を表面に含む半導体チップ 4 0 を有する。半導体装置は、パッド 1 6 と電氣的に接続してなる再配線層 2 2 と、再配線層 2 2 の上方に再配線層 2 2 に電氣的に接続して設けられた外部端子 2 6 と、外部端子 2 6 を囲むとともに半導体チップ 4 0 の側面に至るよう

に設けられてなる樹脂層 3 0 と、を含む。

【選択図】 図 6

特願 2 0 0 3 - 0 7 8 0 9 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日
[変更理由]

1 9 9 0 年 8 月 2 0 日
新規登録

住 所
氏 名

東京都新宿区西新宿 2 丁目 4 番 1 号
セイコーエプソン株式会社